

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In Re Application of: Sun

Group Art Unit: Unassigned

Serial No.: Unassigned

Examiner: Unassigned

Filed: January 2, 2004

Docket No. 250122-1140

For: System for Integrating a Circuit on an Isolation  
Layer and Method Thereof

**CLAIM OF PRIORITY TO AND**  
**SUBMISSION OF CERTIFIED COPY OF REPUBLIC OF CHINA APPLICATION**  
**PURSUANT TO 35 U.S.C. §119**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, Virginia 22313-1450

Sir:

In regard to the above-identified pending patent application and in accordance with 35 U.S.C. §119, Applicant hereby claims priority to and the benefit of the filing date of Republic of China patent application entitled, "System for Integrating a Circuit on an Isolation Layer and Method Thereof", filed October 17, 2003, and assigned serial number 92128816. Further pursuant to 35 U.S.C. §119, enclosed is a certified copy of the Republic of China patent application.

Respectfully Submitted,

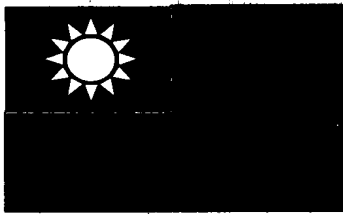
**THOMAS, KAYDEN, HORSTEMEYER  
& RISLEY, L.L.P.**

By:



**Daniel R. McClure, Reg. No. 38,962**

100 Galleria Parkway, Suite 1750  
Atlanta, Georgia 30339  
770-933-9500



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 10 月 17 日  
Application Date

申請案號：092128816  
Application No.

申請人：友達光電股份有限公司  
Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2003 年 12 月 9 日  
Issue Date

發文字號：09221246780  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	將電路整合於絕緣層之系統以及將系統整合於絕緣層之方法
	英 文	system for integrating a circuit on an isolation layer and method thereof
二、 發明人 (共1人)	姓 名 (中文)	1. 孫文堂
	姓 名 (英文)	1. Wein-Town Sun
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 高雄市楠梓區和昌里19鄰和光街95巷1號
	住居所 (英 文)	1.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 友達光電股份有限公司
	名稱或 姓 名 (英文)	1. AU Optronics Corp.
	國 籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中 文)	1. 新竹科學工業園區新竹市力行二路一號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 1, Li-Hsin Rd. 2, Science-Based Industrial Park, Hsinchu 300, Taiwan, R.O.C.
	代表人 (中文)	1. 李焜耀
	代表人 (英文)	1. K. Y. Lee



0532-10326770111; AU10305009; Robert.prd

四、中文發明摘要 (發明名稱：將電路整合於絕緣層之系統以及將系統整合於絕緣層之方法)

一種將系統整合於絕緣層之方法。首先，提供第一絕緣基板以及第二絕緣基板，各自具有第一電路設置面以及第二電路設置面，以及第一基板接合面與第二基板接合面。接下來，分別形成第一電路以及第二電路於第一電路設置面以及第二電路設置面。接下來，形成基板連接構件以連接第一絕緣基板以及第二絕緣基板，使得第一基板接合面與第二基板接合面相接。最後，形成複數電性連接構件以電性連接第一電路以及第二電路。

伍、(一)、本案代表圖為：第2圖。

(二)、本案代表圖之元件代表符號簡單說明：無。

六、英文發明摘要 (發明名稱：system for integrating a circuit on an isolation layer and method thereof)

A method for integrating a system on an isolation layer. First, a first isolation substrate including a first circuit deposition region and a first substrate combining region, and a second isolation substrate including a second circuit deposition region and a second substrate combining region are provided. Next, a first circuit and a second circuit are respectively



四、中文發明摘要 (發明名稱：將電路整合於絕緣層之系統以及將系統整合於絕緣層之方法)

六、英文發明摘要 (發明名稱：system for integrating a circuit on an isolation layer and method thereof)

formed on the first circuit deposition region and the second circuit deposition region. Next, substrate connecting elements are formed to connect the first substrate combining region to the second substrate combining region. Finally, electrical connecting elements are formed to electrically connect the first circuit and the second circuit.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



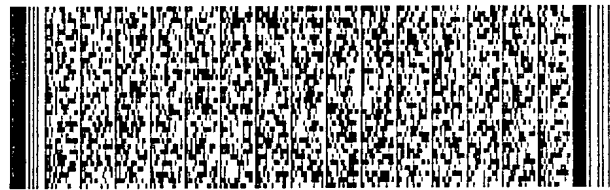
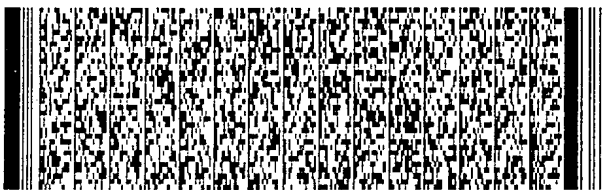
## 五、發明說明 (1)

### 【發明所屬之技術領域】

本發明係有關於一種將電路整合於絕緣層之系統以及將系統整合於絕緣層之方法，特別是有關於一種將各種電路分別在不同之絕緣基板上個別完成，在切割後，再將各絕緣基板以及其電路連接以達到將系統整合於絕緣層之方法。

### 【先前技術】

系統整合於玻璃 (system on glass, SOG) 是近年來在低溫多晶矽 (low-temperature poly-silicon, LTPS) 的技術上相當受到矚目的發展，SOG 主要是將周邊驅動電路同時製作在玻璃基板上，達到節省空間及成本之目標。一般而言，12吋SVGA LCD的驅動IC佔成本8%，而15吋XGA LCD驅動IC佔成本6%，因此低溫多晶矽之驅動IC成本的節省，是市場競爭之最大優勢。SONY 在2002年的歐洲顯示器會議 (Europe Display conference) 揭露一種顯示系統整合於玻璃 (video system on glass) 的面板，其將驅動面板所需之驅動電路皆使用LTPS薄膜電晶體整合於玻璃，如第1圖所示，包括閘極驅動器10、界面電路12、時序產生器14、位準驅動器16、直流對直流轉換器18以及源極驅動器19等。由於此電路不需要額外之晶片，因此具有低耗電之功效。另外，後續的Sharp、Philips等公司也分別發表類似的面板技術。再者，Sharp同時也發展出於玻璃上做出CPU的技術。另外，Fujitsu以及Seiko也分別在



## 五、發明說明 (2)

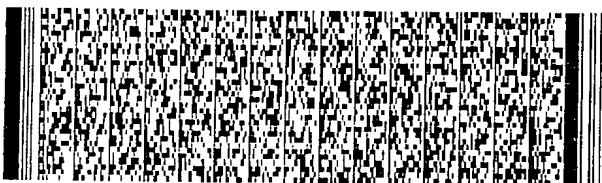
2002 年的SID 以及IDW 會議中發表。因此，以LTPS 的技術真正的將CPU 以及記憶體整合於玻璃上將是可預見的事。

然而，若要真正將系統整合於玻璃量產化，則必須考慮良率的問題，將各種不同種類的電路置於同一系統中，若其中任何一個電路發生問題而無法正常操作，將導致整個系統錯誤，因此嚴重的影響了產品的良率。

因此，美國專利早期公開資料20020126108A1 提出了為了達到省電目的而在不同或相同基板上做出CPU、記憶體、控制電路以及顯示裝置等元件，再將各元件貼附 (mount on) 於其中元件之基板上。此舉的確會有效提高良率，但卻會導致產品的厚度明顯增加而限制其應用空間。

### 【發明內容】

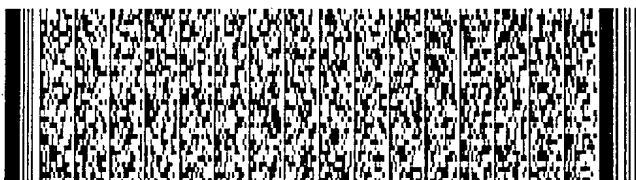
有鑑於此，為了解決上述問題，本發明主要目的在於提供一種將電路整合於絕緣層之系統以及將系統整合於絕緣層之方法，主要是將各種電路（包括顯示面板電路、控制電路、CPU 以及記憶體等）分別在不同之玻璃基板或塑膠基板上個別完成，在切割後，再將各絕緣基板及其電路連接，因此可使用模組化的觀念來整合系統。另外，不同之電路可依電路特性而採取需要之製程、特定之設計規範、封裝方式以及散熱方式。



為獲致上述之目的，本發明提出一種將電路整合於絕緣層之系統。複數絕緣基板，各自具有電路設置面以及基板接合面。複數特定電路區塊，分別設置於絕緣基板之電路設置面。複數基板連接構件，用以連接絕緣基板之基板接合面。複數電性連接構件，用以電性連接設置於不同絕緣基板之特定電路區塊。

再者，本發明提出一種將系統整合於絕緣層之方法。首先，提供第一絕緣基板以及第二絕緣基板，各自具有第一電路設置面以及第二電路設置面，以及第一基板接合面與第二基板接合面。接下來，分別形成第一電路以及第二電路於第一電路設置面以及第二電路設置面。接下來，形成基板連接構件以連接第一絕緣基板以及第二絕緣基板，使得第一基板接合面與第二基板接合面相接。最後，形成複數電性連接構件以電性連接第一電路以及第二電路。

再者，本發明提出一種將系統整合於絕緣層之方法。首先，提供第一絕緣基板以及第二絕緣基板，各自具有第一電路設置面以及第二電路設置面，接下來，分別形成複數第一電路以及複數第二電路於第一電路設置面以及第二電路設置面，接下來，分別切割第一絕緣基板以及第二絕緣基板之第一電路設置面以及第二電路設置面，使得切割後之第一絕緣基板以及第二絕緣基板分別具有單一第一電



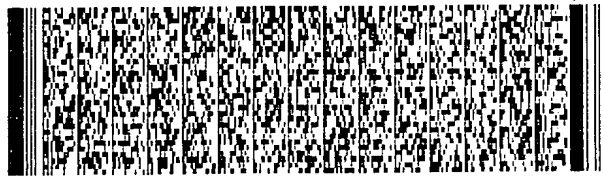
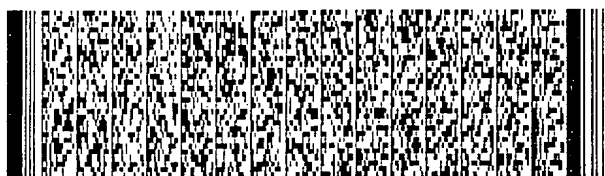
#### 五、發明說明 (4)

路以及單一第二電路，且沿著切割方向分別於切割後之第一絕緣基板以及第二絕緣基板形成第一基板接合面以及第二基板接合面。接下來，形成基板連接構件以連接切割後之第一絕緣基板以及第二絕緣基板，使得第一基板接合面與第二基板接合面相接。最後，形成複數電性連接構件以電性連接單一第一電路以及單一第二電路。

#### 【實施方式】

實施例：

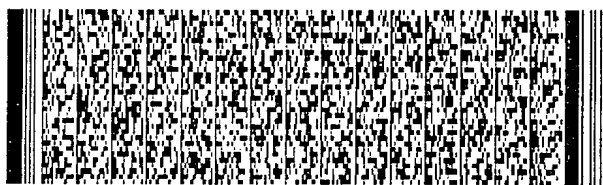
參閱第2圖，第2圖係顯示根據本發明實施例所述之將系統整合於絕緣層之方法之操作流程圖。首先，提供複數之絕緣基板(S1)，絕緣基板之材質可為玻璃或者是塑膠等。在此，基板材質之選擇可根據後續所執行之製程條件而定。第3圖係顯示根據本發明實施例所述之絕緣基板20A與20B之外觀圖。如圖所示，箭號21指示之處為絕緣基板之電路設置面。接著，分別於絕緣基板20A與20B之電路設置面21設置複數電路(S2)，例如電源轉換電路、記憶電路、邏輯控制電路、CPU、顯示面板、以及面板驅動電路等。在此，以於絕緣基板20A形成電源轉換電路POWER、而於絕緣基板20B形成CPU為例。根據本發明實施例，於單一基板所形成之電路並不以功能為限。比方說，採用相同製程之電路，例如同為CMOS或PMOS製程，可形成於相同之絕緣基底。而由於電路操作之需求，不同製程參數之電路元件則需形成於不同之基底，例如記憶體與周邊電路之閘極



#### 五、發明說明 (5)

介電層厚度並不相同，因此必須形成於不同之基底。再者，使用不同光罩數(mask number)之製程、不同設計規範之電路(design rule)、不同之封裝(package)方式以及不同散熱方式之電路，應該視技術許可而分別形成於不同之絕緣基板以簡化製程之複雜度。在此，於單一基板內係形成複數之電路區塊組，以第3圖為例，絕緣基板20A上及具有複數之電源轉換電路POWER區塊22A，而絕緣基板20B上及具有複數之CPU區塊22B。接下來，沿著絕緣基板20A與20B上之分隔線24A與24B切割絕緣基板20A與20B(S3)。如第4圖所示，切割絕緣基板20B後即形成一單一CPU電路區塊22B。如圖所示，單一CPU電路區塊22B之頂面為電路設置面21，而與電路設置面21相鄰之側面26皆為基板接合面。接下來，形成基板連接構件以連接上述切割後之第一絕緣基板以及第二絕緣基板(S4)，使得切割自各絕緣基板之電路區塊之基板接合面相接。在此，使各切割後之絕緣基板連接之基板連接構件可藉由雷射、熱熔法設置，或使用黏膠將其結合。最後，形成複數電性連接構件以電性連接分屬不同絕緣基板上之電路區塊(S5)。第5A圖以及第5B圖係顯示使用電性連接構件28A與28B將各電路區塊電性連接起來之示意圖，在此之時，各絕緣基板已於步驟S4時結合完成。

在本實施例中，電性連接構件可藉由各種方法設置，例如雷射熔接法、使用印刷電纜線28A(Flex Print

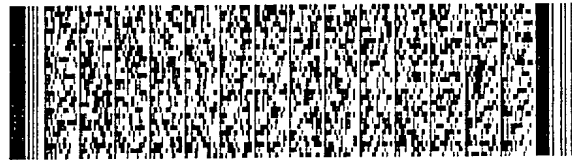


#### 五、發明說明 (6)

Cables, FPC), 如第5A圖所示, 或者藉由打金線28B (如第5B圖所示) 等方式設置。

根據本發明實施例所述之將電路整合於絕緣層之系統以及將系統整合於絕緣層之方法, 其絕緣基板是以側面相接, 因此不會造成系統厚度的增加, 有效的解決了美國專利早期公開資料20020126108A1所遭遇之問題, 再者, 由於根據本發明實施例所述之方法並非於單一絕緣基板上同時形成各式不同製程條件之電路元件, 而是於同一絕緣基板上形成複數製程條件相同之電路元件, 經切割後再予以組合而成。相較於傳統技術, 能夠大幅改善產品之良率, 使得將系統整合於絕緣層之設計技術具有更大之彈性。

本發明雖以較佳實施例揭露如上, 然其並非用以限定本發明的範圍, 任何熟習此項技藝者, 在不脫離本發明之精神和範圍內, 當可做些許的更動與潤飾, 因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



#### 圖式簡單說明

為使本發明之上述目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

第1圖係顯示SONY 在2002年所揭露之將顯示系統整合於玻璃面板之電路示意圖。

第2圖係顯示根據本發明實施例所述之將系統整合於絕緣層之方法之操作流程圖。

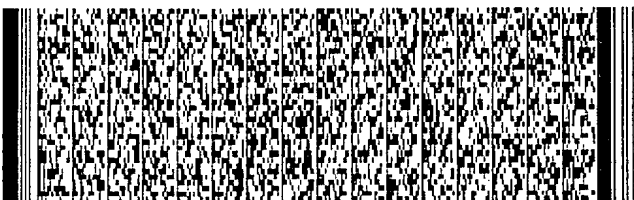
第3圖係顯示根據本發明實施例所述之絕緣基板20A與20B之外觀圖。

第4圖係顯示絕緣基板經切割後所形成之電路區塊外觀圖。

第5A圖以及第5B圖係顯示使用電性連接構件將各電路區塊電性連接起來之示意圖。

#### 【符號說明】

- 10 ~ 閘極驅動器；
- 12 ~ 界面電路；
- 14 ~ 時序產生器；
- 16 ~ 位準驅動器；
- 18 ~ 直流對直流轉換器；
- 19 ~ 源極驅動器；
- 20A、20B ~ 絕緣基板；
- 21 ~ 電路設置面；
- 22A ~ POWER 區塊；



圖式簡單說明

22B ~ CPU ；

24A 、24B ~ 分 隔 線 ；

26 ~ 基 板 接 合 面 ；

28A 、28B ~ 電 性 連 接 構 件 。



## 六、申請專利範圍

1. 一種將電路整合於絕緣層之系統，包括：

複數絕緣基板，各自具有一電路設置面以及一基板接合面；

複數特定電路區塊，分別設置於上述絕緣基板之電路設置面；

複數基板連接構件，用以連接上述絕緣基板之基板接合面；以及

複數電性連接構件，用以電性連接設置於不同絕緣基板之特定電路區塊。

2. 如申請專利範圍第1項所述之將電路整合於絕緣層之系統，其中上述基板連接構件係藉由雷射設置。

3. 如申請專利範圍第1項所述之將電路整合於絕緣層之系統，其中上述基板連接構件係藉由熱熔法設置。

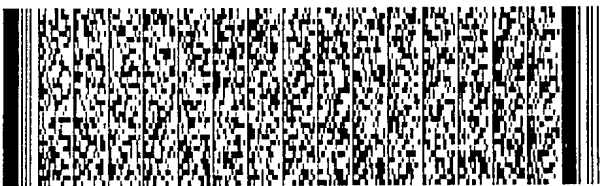
4. 如申請專利範圍第1項所述之將電路整合於絕緣層之系統，其中上述基板連接構件為黏膠。

5. 如申請專利範圍第1項所述之將電路整合於絕緣層之系統，其中上述電性連接構件為印刷電纜線（Flex Print Cables，FPC）。

6. 如申請專利範圍第1項所述之將電路整合於絕緣層之系統，其中上述電性連接構件為金線。

7. 如申請專利範圍第1項所述之將電路整合於絕緣層之系統，其中上述電性連接構件係藉由雷射熔接設置。

8. 如申請專利範圍第1項所述之將電路整合於絕緣層之系統，其中上述複數特定電路區塊係採不同製程形成。



## 六、申請專利範圍

9. 如申請專利範圍第1項所述之將電路整合於絕緣層之系統，其中上述複數特定電路區塊係使用不同光罩數形成。

10. 如申請專利範圍第1項所述之將電路整合於絕緣層之系統，其中上述複數特定電路區塊係使用不同設計規範製造。

11. 如申請專利範圍第1項所述之將電路整合於絕緣層之系統，其中上述複數特定電路區塊係使用不同之製程參數製造。

12. 如申請專利範圍第11項所述之將電路整合於絕緣層之系統，其中上述製程參數包括元件尺寸，閘極氧化層厚度，金屬線寬度。

13. 如申請專利範圍第1項所述之將電路整合於絕緣層之系統，其中上述絕緣基板之材質並不相同。

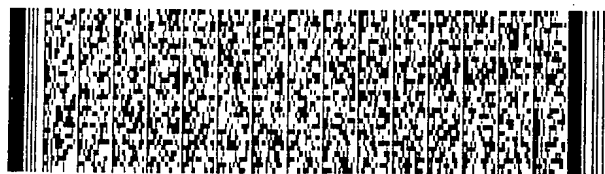
14. 如申請專利範圍第1項所述之將電路整合於絕緣層之系統，其中上述特定電路區塊係採不同之封裝方式封裝。

15. 如申請專利範圍第1項所述之將電路整合於絕緣層之系統，其中上述特定電路區塊具有不同之散熱方式。

16. 如申請專利範圍第1項所述之將電路整合於絕緣層之系統，其中上述基板接合面係與上述電路設置面相鄰。

17. 如申請專利範圍第1項所述之將電路整合於絕緣層之系統，其中上述絕緣基板為塑膠基板。

18. 如申請專利範圍第1項所述之將電路整合於絕緣層



## 六、申請專利範圍

之系統，其中上述絕緣基板為玻璃基板。

19. 一種將系統整合於絕緣層之方法，包括下列步驟：

提供一第一絕緣基板以及一第二絕緣基板，各自具有一第一電路設置面以及一第二電路設置面，以及一第一基板接合面與一第二基板接合面；

分別形成一第一電路以及一第二電路於上述第一電路設置面以及第二電路設置面；

形成一基板連接構件以連接上述第一絕緣基板以及第二絕緣基板，使得上述第一基板接合面與第二基板接合面相接；以及

形成複數電性連接構件以電性連接上述第一電路以及第二電路。

20. 如申請專利範圍第19項所述之將系統整合於絕緣層之方法，其中上述基板連接構件係藉由雷射設置。

21. 如申請專利範圍第19項所述之將系統整合於絕緣層之方法，其中上述基板連接構件係藉由熱熔法設置。

22. 如申請專利範圍第19項所述之將系統整合於絕緣層之方法，其中上述基板連接構件為黏膠。

23. 如申請專利範圍第19項所述之將系統整合於絕緣層之方法，其中上述電性連接構件為印刷電纜線（Flex Print Cables，FPC）。

24. 如申請專利範圍第19項所述之將系統整合於絕緣層之方法，其中上述電性連接構件為金線。



#### 六、申請專利範圍

25. 如申請專利範圍第19項所述之將系統整合於絕緣層之方法，其中上述電性連接構件係藉由雷射熔接設置。

26. 如申請專利範圍第19項所述之將系統整合於絕緣層之方法，其中上述第一電路以及第二電路係採不同製程形成。

27. 如申請專利範圍第19項所述之將系統整合於絕緣層之方法，其中上述第一電路以及第二電路係使用不同光罩數形成。

28. 如申請專利範圍第19項所述之將系統整合於絕緣層之方法，其中上述第一電路以及第二電路係使用不同設計規範製造。

29. 如申請專利範圍第19項所述之將系統整合於絕緣層之方法，其中上述第一電路以及第二電路係使用不同之製程參數製造。

30. 如申請專利範圍第29項所述之將系統整合於絕緣層之方法，其中上述製程參數包括元件尺寸，閘極氧化層厚度，金屬線寬度。

31. 如申請專利範圍第19項所述之將系統整合於絕緣層之方法，其中上述絕緣基板之材質並不相同。

32. 如申請專利範圍第19項所述之將系統整合於絕緣層之方法，其中上述第一電路以及第二電路係採不同之封裝方式封裝。

33. 如申請專利範圍第19項所述之將系統整合於絕緣層之方法，其中上述第一電路以及第二電路具有不同之散



## 六、申請專利範圍

熱方式。

34. 如申請專利範圍第19項所述之將系統整合於絕緣層之方法，其中上述第一基板接合面以及第二基板接合面係分別與上述第一電路設置面以及第二電路設置面相鄰。

35. 如申請專利範圍第19項所述之將系統整合於絕緣層之方法，其中上述絕緣基板為塑膠基板。

36. 如申請專利範圍第19項所述之將系統整合於絕緣層之方法，其中上述絕緣基板為玻璃基板。

37. 一種將系統整合於絕緣層之方法，包括下列步驟：

提供第一絕緣基板以及第二絕緣基板，各自具有一第一電路設置面以及一第二電路設置面；

分別形成複數第一電路以及複數第二電路於上述第一電路設置面以及第二電路設置面；

分別切割上述第一絕緣基板以及第二絕緣基板之第一電路設置面以及第二電路設置面，使得切割後之第一絕緣基板以及第二絕緣基板分別具有單一第一電路以及單一第二電路，且沿著切割方向分別於上述切割後之第一絕緣基板以及第二絕緣基板形成一第一基板接合面以及一第二基板接合面；

形成基板連接構件以連接上述切割後之第一絕緣基板以及第二絕緣基板，使得上述第一基板接合面與第二基板接合面相接；以及

形成複數電性連接構件以電性連接上述單一第一電路



## 六、申請專利範圍

以及單一第二電路。

38. 如申請專利範圍第37項所述之將系統整合於絕緣層之方法，其中上述基板連接構件係藉由雷射設置。

39. 如申請專利範圍第37項所述之將系統整合於絕緣層之方法，其中上述基板連接構件係藉由熱熔法設置。

40. 如申請專利範圍第37項所述之將系統整合於絕緣層之方法，其中上述基板連接構件為黏膠。

41. 如申請專利範圍第37項所述之將系統整合於絕緣層之方法，其中上述電性連接構件為印刷電纜線 (Flex Print Cables, FPC)。

42. 如申請專利範圍第37項所述之將系統整合於絕緣層之方法，其中上述電性連接構件為金線。

43. 如申請專利範圍第37項所述之將系統整合於絕緣層之方法，其中上述電性連接構件係藉由雷射熔接設置。

44. 如申請專利範圍第37項所述之將系統整合於絕緣層之方法，其中上述第一電路以及第二電路係採不同製程形成。

45. 如申請專利範圍第37項所述之將系統整合於絕緣層之方法，其中上述第一電路以及第二電路係使用不同光罩數形成。

46. 如申請專利範圍第37項所述之將系統整合於絕緣層之方法，其中上述第一電路以及第二電路係使用不同設計規範製造。

47. 如申請專利範圍第37項所述之將系統整合於絕緣



#### 六、申請專利範圍

層之方法，其中上述第一電路以及第二電路係使用不同之製程參數製造。

48. 如申請專利範圍第47項所述之將系統整合於絕緣層之方法，其中上述製程參數包括元件尺寸，閘極氧化層厚度，金屬線寬度。

49. 如申請專利範圍第37項所述之將系統整合於絕緣層之方法，其中上述絕緣基板之材質並不相同。

50. 如申請專利範圍第37項所述之將系統整合於絕緣層之方法，其中上述第一電路以及第二電路係採不同之封裝方式封裝。

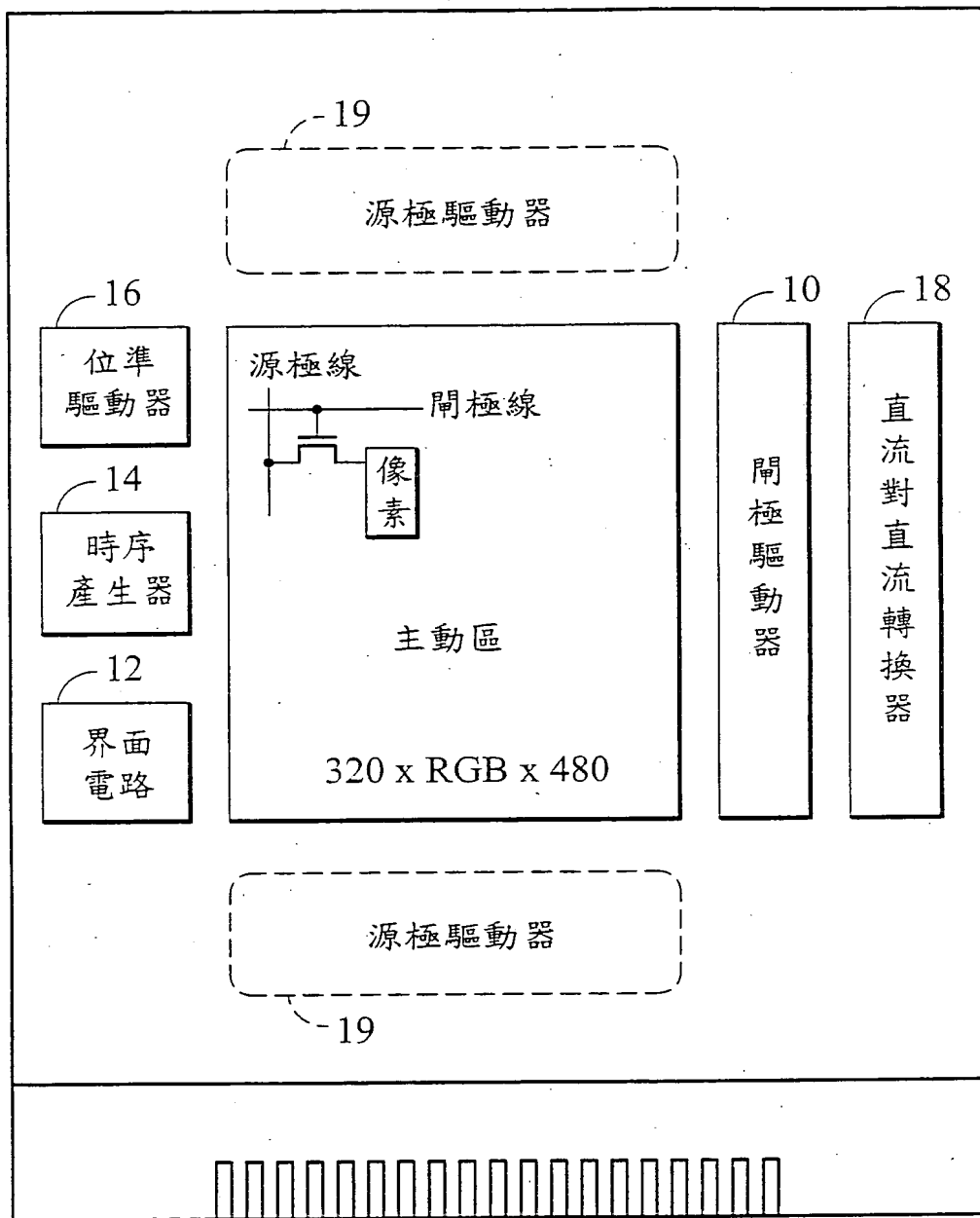
51. 如申請專利範圍第37項所述之將系統整合於絕緣層之方法，其中上述第一電路以及第二電路具有不同之散熱方式。

52. 如申請專利範圍第37項所述之將系統整合於絕緣層之方法，其中上述第一基板接合面以及第二基板接合面係分別與上述第一電路設置面以及第二電路設置面相鄰。

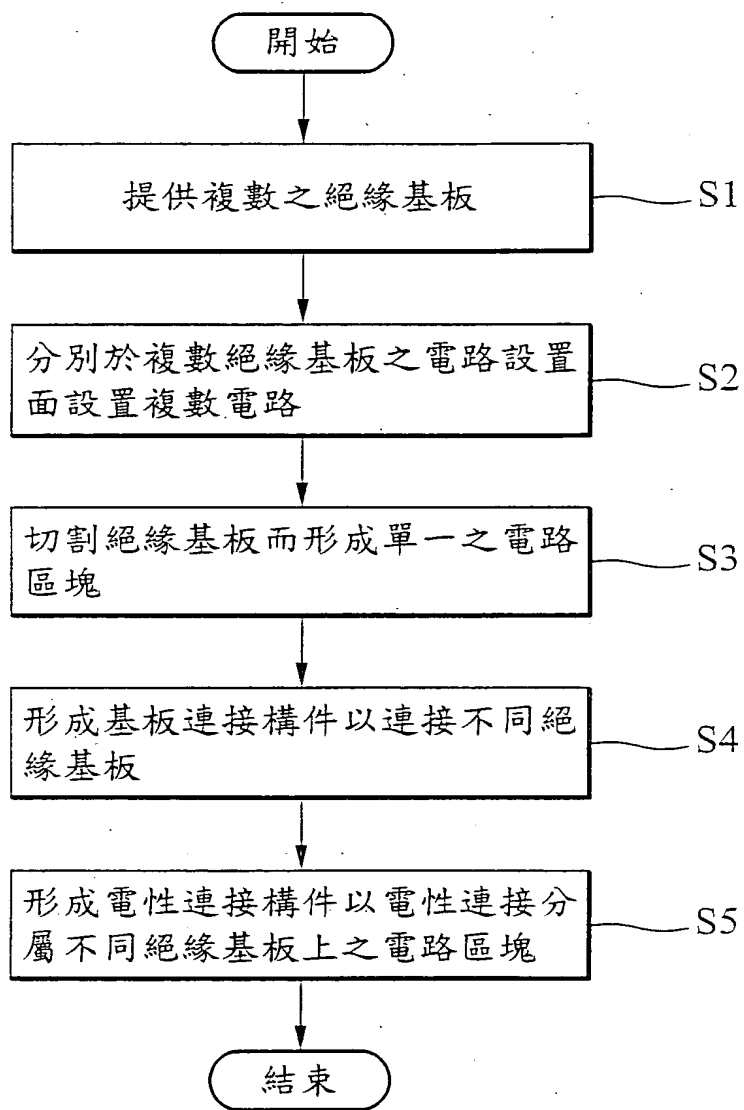
53. 如申請專利範圍第37項所述之將系統整合於絕緣層之方法，其中上述絕緣基板為塑膠基板。

54. 如申請專利範圍第37項所述之將系統整合於絕緣層之方法，其中上述絕緣基板為玻璃基板。

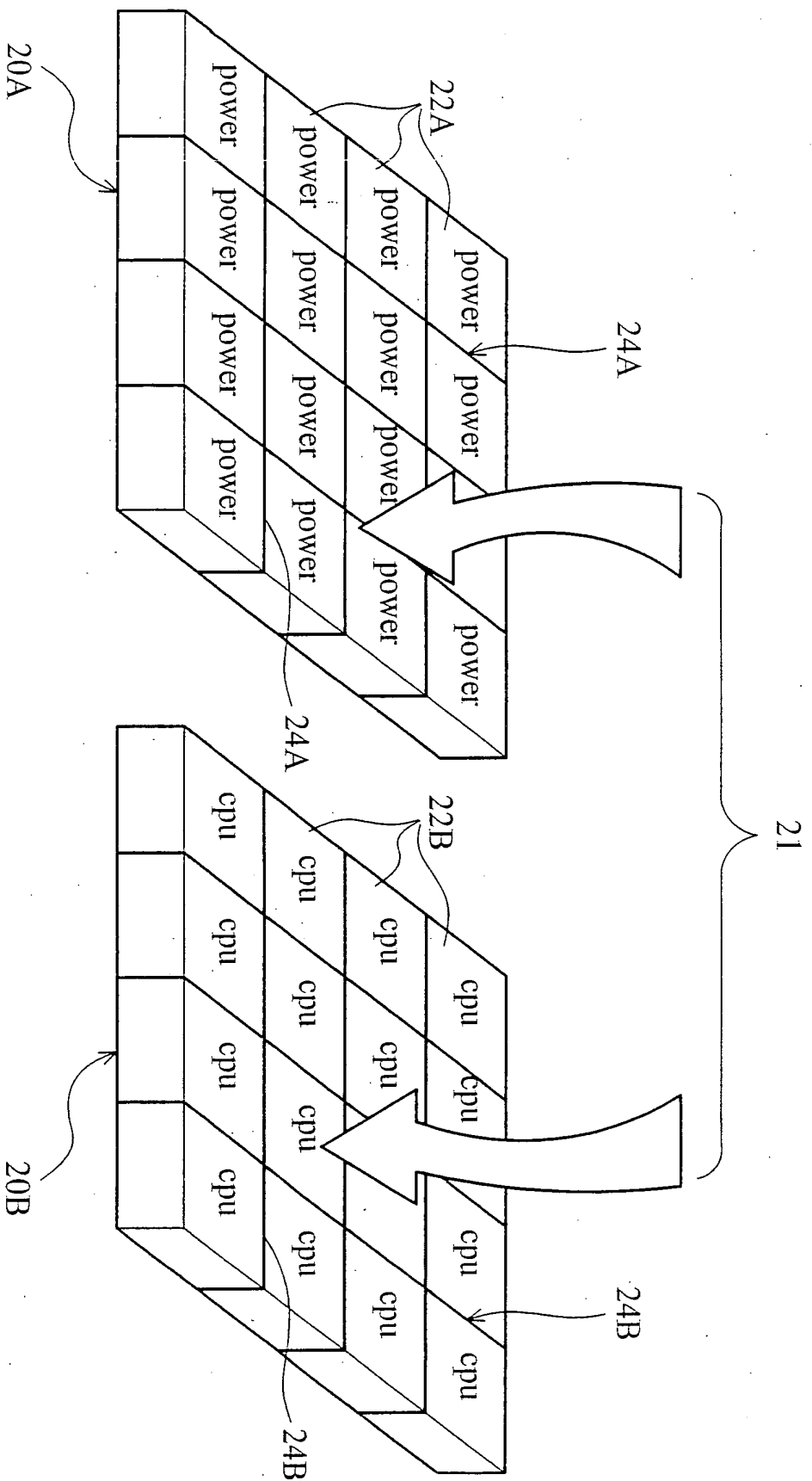




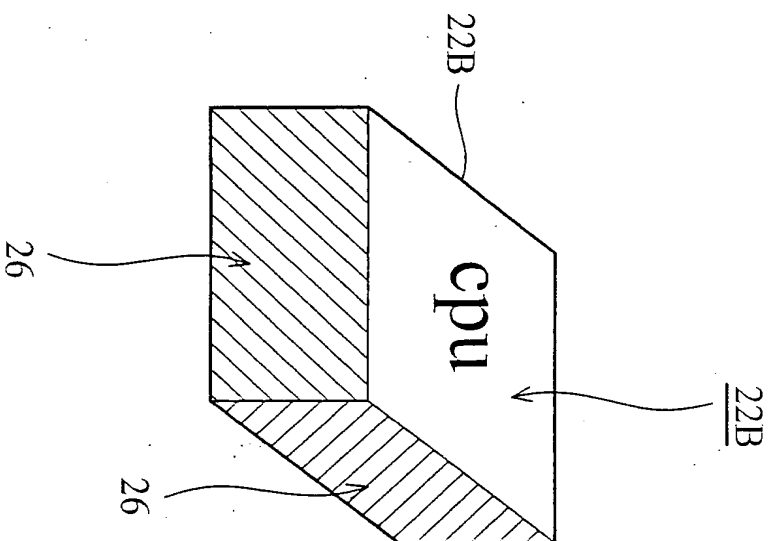
第 1 圖



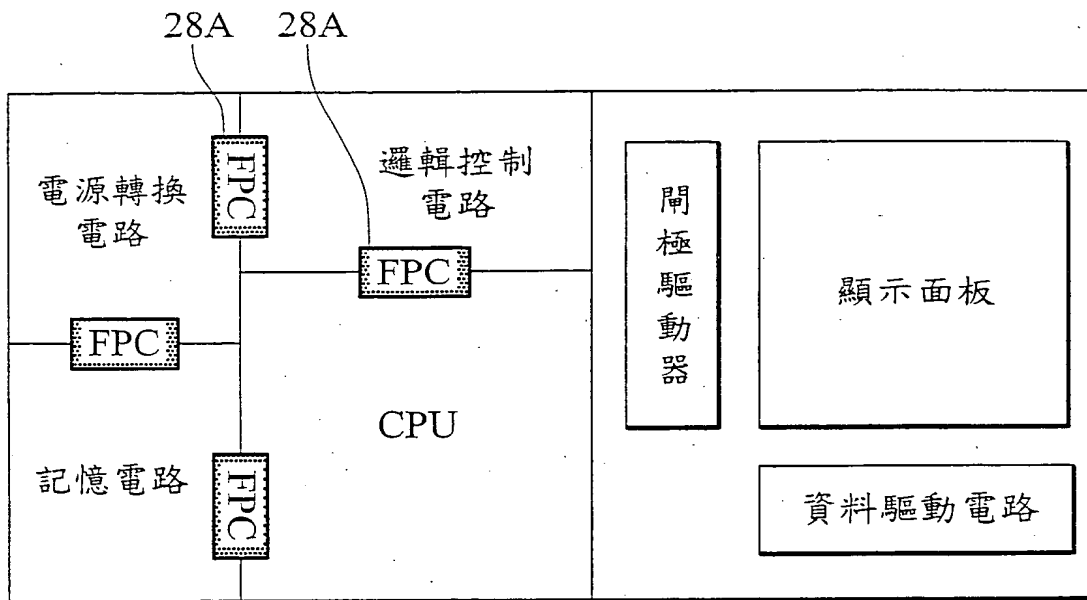
第 2 圖



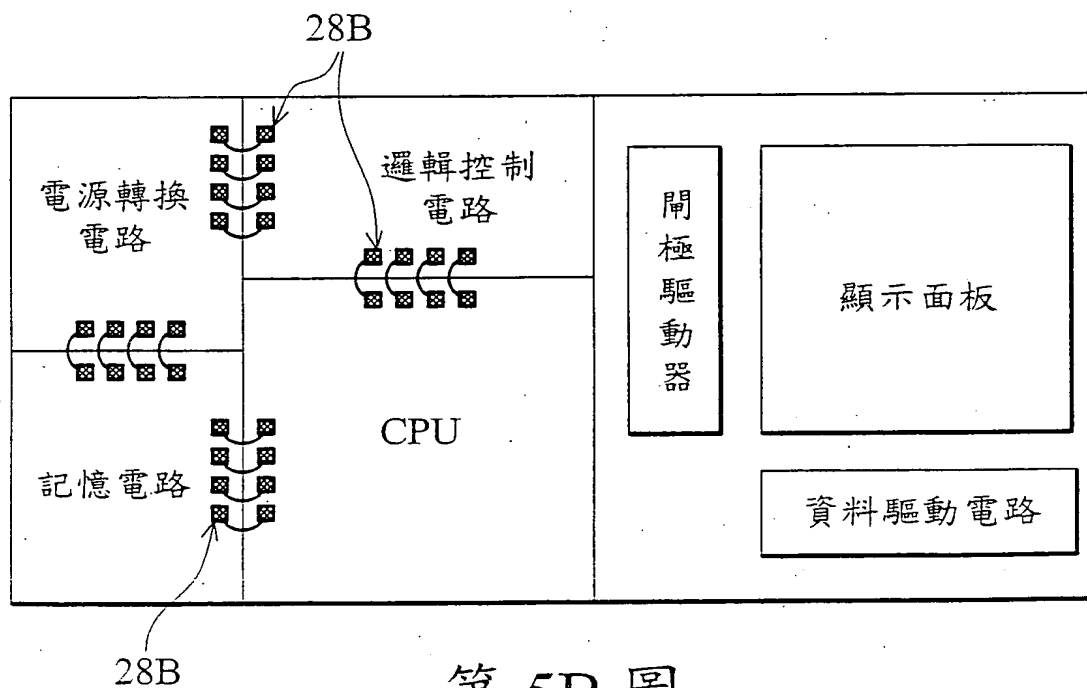
第 3 圖



第 4 圖

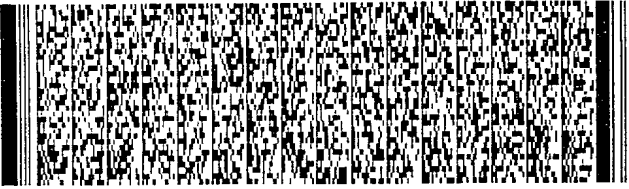


第 5A 圖

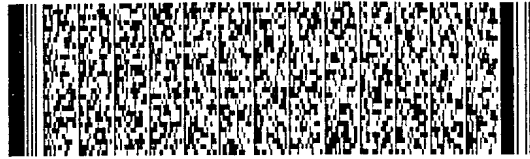


第 5B 圖

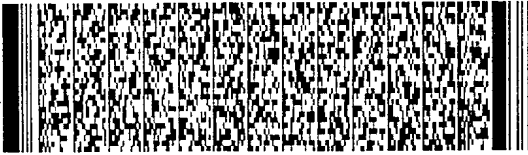
第 1/19 頁



第 2/19 頁



第 2/19 頁



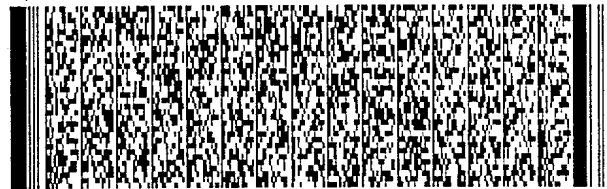
第 3/19 頁



第 4/19 頁



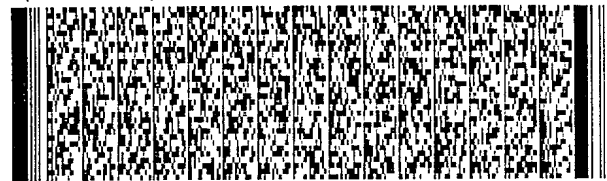
第 5/19 頁



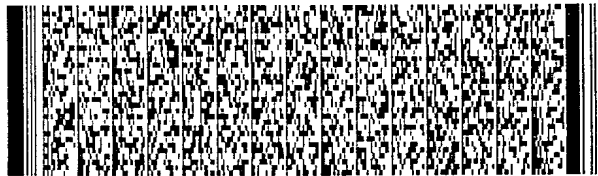
第 5/19 頁



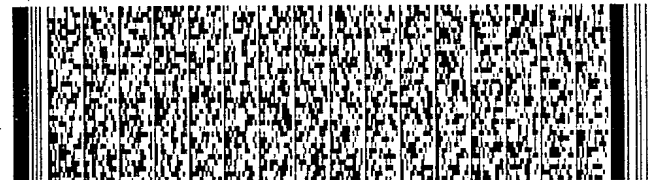
第 6/19 頁



第 6/19 頁



第 7/19 頁



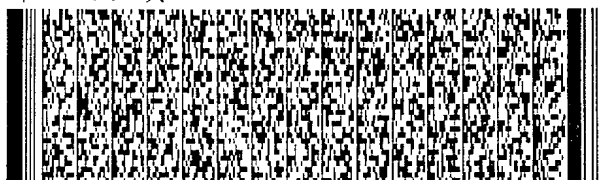
第 8/19 頁



第 8/19 頁



第 9/19 頁



第 9/19 頁



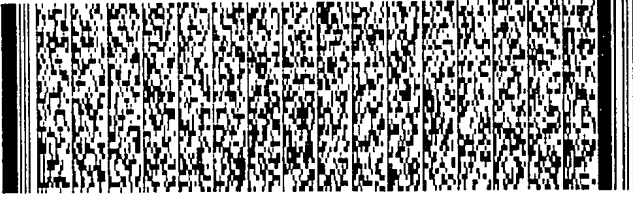
第 10/19 頁



第 10/19 頁



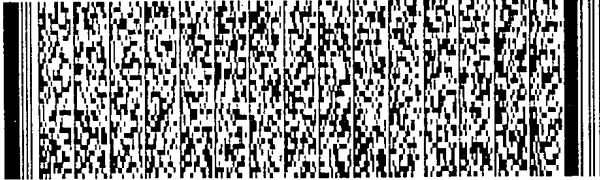
第 11/19 頁



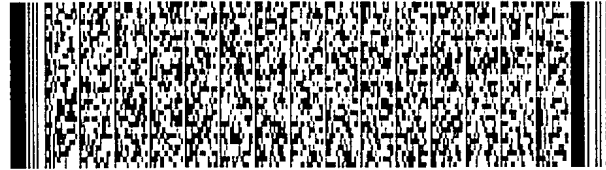
第 12/19 頁



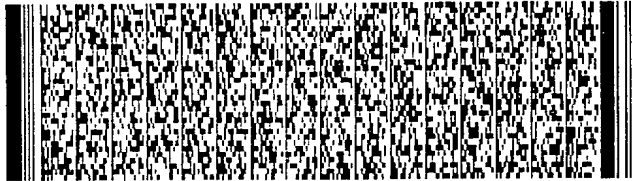
第 13/19 頁



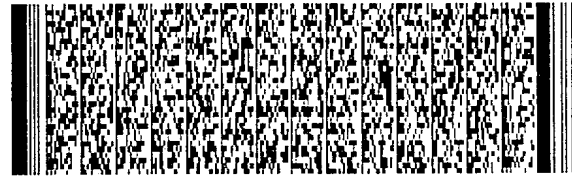
第 14/19 頁



第 15/19 頁



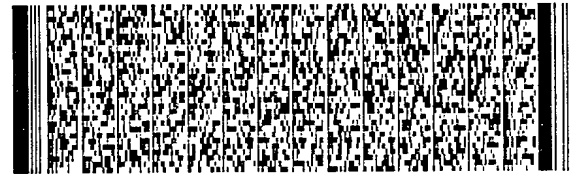
第 16/19 頁



第 17/19 頁



第 18/19 頁



第 19/19 頁

